

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-066412

(43)Date of publication of application : 19.03.1993

(51)Int.Cl.

G02F 1/1343

G02F 1/133

G02F 1/136

G09F 9/30

(21)Application number : 03-356693

(71)Applicant : HONEYWELL INC

(22)Date of filing : 26.12.1991

(72)Inventor : SARMA KALLURI R

(30)Priority

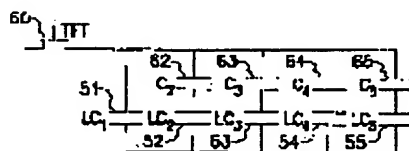
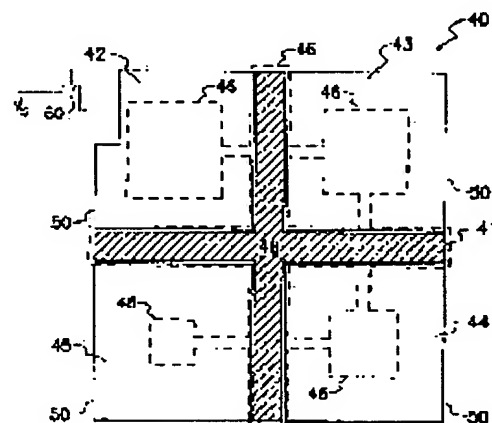
Priority number : 90 636534 Priority date : 31.12.1990 Priority country : US

## (54) HALFTONE GRAY SCALE LIQUID CRYSTAL DISPLAY

(57)Abstract:

PURPOSE: To embody the max. pixel aperture ratio and halftone gray scale by arranging first electrodes, insulating layers and second electrodes in such a manner that sub-pixels not having series control capacitors exist between sub-pixel regions.

CONSTITUTION: The first electrodes (ITO layers) 46 regulate the regions of control capacitors 62 to 65 and regulate the regions of the sub-pixels 42 which are spacers between the sub-pixels 42 to 45. Layers 48 denote capacitor insulators and the 21st ITO layers 50 regulate the regions of the sub-pixels 42 to 45. Hatched regions 48 denote insulator and act to remove the series control capacitors of the sub-pixels 41. Since the ITO layers 46, 50 are separated by the insulating layers 48, these layers can overlap slightly on each other. As a result, the halftone pixels 40 turns 100% optically active. The decrease of the max. pixels, aperture ratios, luminance and contrast is not occurred.



## LEGAL STATUS

[Date of request for examination]

01.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3076938

[Date of registration]

16.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-66412

(43)公開日 平成5年(1993)3月19日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1343	9018-2K		
	1/133	5 5 0	7820-2K	
	1/136	5 0 0	9018-2K	
G 0 9 F	9/30	3 3 8	7926-5G	

審査請求 未請求 請求項の数2(全 9 頁)

(21)出願番号 特願平3-356693

(22)出願日 平成3年(1991)12月26日

(31)優先権主張番号 6 3 6 5 3 4

(32)優先日 1990年12月31日

(33)優先権主張国 米国(U S)

(71)出願人 591007011

ハネウエル・インコーポレーテッド  
アメリカ合衆国 55408 ミネソタ州・ミ  
ネアポリス・ハネウエル・プラザ(番地な  
し)

(72)発明者 カルーリ・アール・サーマ  
アメリカ合衆国 85202 アリゾナ州・メ  
サ・サウス ロス アルトス アヴェニ  
ユ・2352

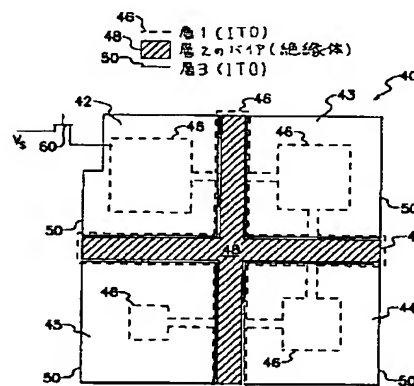
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 ハーフトーン・グレイスケール液晶ディスプレイ

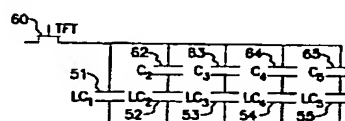
(57)【要約】

【目的】 アクティブ・マトリックス液晶ディスプレイ(AMLCD)においてハーフトーン・グレイスケールを実現することである。

【構成】 本発明のハーフトーン・グレイスケール液晶ディスプレイは、高いピクセル・アバチャ比を有する複数のピクセルから成り、各ピクセルは第1基板とN個のサブピクセルとから成り、N-1個の各サブピクセルは、第1基板上の第1電極と、第1電極上の絶縁層と、絶縁層上の第2電極と、第2電極上の液晶層と、液晶層上の第3電極とから成り、N番目のサブピクセルは、第1基板上の第1電極と、第1電極上の絶縁層と、絶縁層上の液晶層と、絶縁層上の第2電極と、液晶層上の第2基板とから成り、N-1個のサブピクセルの第1電極は相互接続している。



a



b

## 【特許請求の範囲】

【請求項1】 高いピクセル・アバチャ比を有する複数のピクセルから成るハーフトーン・グレイスケール液晶ディスプレイにおいて、各ピクセルは、

第1基板と、

N個のサブピクセルと、から成り、

N-1個の各サブピクセルは、

上記第1基板上の第1電極と、

上記第1電極上の絶縁層と、

上記絶縁層上の第2電極と、

第2電極上の液晶層と、

上記液晶層上の第3電極と、

から成り、

N番目のサブピクセルは、

上記第1基板上の第1電極と、

上記第1電極上の絶縁層と、

上記絶縁層上の液晶層と、

上記絶縁層上の第2電極と、

上記液晶層上の第2基板と、

から成り、

N-1個のサブピクセルの上記第1電極は相互接続していることを特徴とするハーフトーン・グレイスケール液晶ディスプレイ。

【請求項2】 高いピクセル・アバチャ比を有する複数のピクセルから成るハーフトーン・グレイスケール液晶ディスプレイにおいて、各ピクセルは、

第1、第2、第3、第4、第5サブピクセルと、

第1ガラス基板と、

上記ガラス基板上の第1電極と、

上記ガラス基板上の第2電極と、

上記ガラス基板上の第3電極と、

上記ガラス基板上の第4電極と、

上記ガラス基板上の上記第1、第2、第3、第4電極間でかつ上記第5サブピクセルの隣りに位置する第5電極と、

少なくとも上記第1、第2、第3、第4電極上の絶縁層と、

上記絶縁層上で上記第1電極および上記第1サブピクセルの隣りに位置する第6電極と、

上記絶縁層上で上記第2電極および上記第2サブピクセルの隣りに位置する第7電極と、

上記絶縁層上で上記第3電極および上記第3サブピクセルの隣りに位置する第8電極と、

上記絶縁層上で上記第4電極および上記第4サブピクセルの隣りに位置する第9電極と、

上記第5、第6、第7、第8、第9電極上に位置する液晶層と、

上記液晶上の第10電極と、

上記第10電極上の第2ガラス基板と、から成ることを特徴とするハーフトーン・グレイスケール液晶ディス

レイ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、液晶ディスプレイ（LCD）に関し、さらに詳しくは、ハーフトーン・グレイスケールと高いピクセル・アバチャ比を有するアクティブ・マトリックスLCDに関する。

## 【0002】

【従来の技術】LCD技術は、多くの用途に使われるように陰極線管（CRT）技術に取って代るものとして開発されてきている。このLCD技術は、信頼性が高まり、消費電力や容積および重量が低減するなど多大な利益がもたらされた。しかし、現在の開発の段階では、LCD画像の描写能力はCRTよりも劣っている。

## 【0003】

【発明が解決しようとする課題】本発明の目的は、グレイスケール・モードで動作する際のLCDに関するビューイング・アングルおよび輝度の制約を含む主な技術的障害の1つを解決することであり、アクティブ・マトリックス液晶ディスプレイ（AMLCD）におけるハーフトーン・グレイスケールを実現することである。

## 【0004】

【課題を解決するための手段】ある従来のグレイスケール・ディスプレイ技術では、4つのサブピクセルを含み、各サブピクセル間にイナクティブでピクセル・アバチャ比を減少するスペースが設けられている。一方、本発明のグレイスケールすなわちハーフトーン・ピクセルでは、全ピクセルは本発明の制御キャパシタ・アレイ構造により光学的にアクティブにされている。本発明は、均一なセル間隔を有するサブピクセルを備えたハーフトーン・ピクセル、または異なる大きさの同心サブピクセルを有するハーフトーン・ピクセルを含んでいる。

## 【0005】

【実施例】以下、添付の図面に基いて、本発明の実施例に関し説明する。本発明は、アクティブ・マトリックス液晶ディスプレイのハーフトーン方法を含んでおり、この方法は、液晶の電気光学レスポンスが、2レベル・モード、すなわち完全なオンまたは完全なオフで作動される時、基本的にはビューイング・アングルに無関係であるということに基いている。一方、制御キャパシタ方法はハーフトーン・グレイスケールを達成するため開発されてきた。この方法は、ピクセルを多くのサブピクセルに分割し、各サブピクセルに直列に制御キャパシタを配置している。図1は、4つのサブピクセル14、16、18、20を有するハーフトーン・ピクセル12の配置図である。サブピクセル14、16、18、20の間の斜線領域で示されたスペース22はイナクティブで、ピクセル・アバチャ比を減少する。図2aは、図1のハーフトーン・ピクセルの構造をより詳細に示した図である。図2bは、図2aに示されたピクセルの電子等価回

路図である。制御キャパシタ27、29、31は、分圧器として作用し、液晶サブピクセル14、16、18、20における電圧を制御するよう動作し、それにより、薄膜トランジスタ(TFT)32のソース電圧(V<sub>S</sub>)が変えられて、ピクセル12の全グレイ・レベルを変更する時にターン・オンするサブピクセルの数を制御する。1つまたはそれ以上のサブピクセルは、全てオンまたはオフのいずれかである。制御キャパシタの値は、オフ・ノーマル・ビューイング・アングルにおけるグレイスケール誤差を最少にするため、多くてもたった1つのサブピクセルの電圧が液晶の閾値電圧と飽和電圧の間にあるように決定される。この方法は、AMLCDのビューイング・アングルの特性を改善する。

【0006】制御キャパシタ27、29、31は、アクティブ・マトリックス基板上か、または共通電極基板上に形成される。各制御キャパシタ27、29、31のキャパシタンスは、これらキャパシタの各電極の面積にしたがって決まる。透過性で導電性のインジウムスズ酸化物(ITO)の第1層33は、制御キャパシタ27、29、31の面積を定める。制御された厚さを有する窒化シリコンまたは二酸化シリコンのような絶縁膜は、制御キャパシタ絶縁体として動作する。サブピクセル14の制御キャパシタをなくすよう、絶縁体にはバイア(via)34が形成されている。ITOの第2層はサブピクセル14、16、18、20の電極となる。キャパシタ24、26、28、30はサブピクセル14、16、18、20の附随的な液晶ディスプレイ・キャパシタンスを表している。制御キャパシタ27、29、31はそれぞれディスプレイ・キャパシタンス26、28、30に直列になっている。

【0007】前述した方法の主な問題点は、ピクセル・アバチャ比(ピクセル輝度)を減少して、液晶ディスプレイにおいて実現し得る最大輝度およびコントラストを減少してしまうことである。ピクセル・アバチャ比は、アクティブ・サブピクセルの面積の合計を、サブピクセルを含んでいる全ピクセル面積で割った値である。ピクセル・アバチャ比の減少は、サブピクセル14、16、18、20間の光学的にアクティブではないスペース36に起因している。アバチャ比を高めるためには、サブピクセル14、16、18、20間のスペース36を減少すればよい。しかし、生産歩留りを考えると、サブピクセル間のスペース36を最小にして、満足のいくレベルを得るためアバチャ比の損失を減少することはできない。また光学的にイナクティブなスペース36の場合、サブピクセル14、16、18、20間のダーク・マトリックスか、または並列ボーラライザを有するAMLCDオベレーションのノーマル・ダーク・モードのいずれかを使用しなければならない。サブピクセル14、16、18、20間のダーク・マトリックスを使用した場合、寸法の減少により、カラー・フィルタ・レイ回路を

製造する際の複雑性を増すことになる。一方、AMLCDパネル・オベレーションのノーマル・ホワイト・モードがない場合、デザインのフレキシビリティが減少し、かつ画像品質の改善のための最適化を行なうことができない。新しいハーフトーン・ピクセル設計を有する本発明は、これら欠点や障害をなくしている。

【0008】図3は、サブピクセル41、42、43、44、45を有する本発明によるハーフトーン・ピクセル・アレイを示している。図4aは、図3のハーフトーン・ピクセル40の詳細を示している。図4bは、図4aのハーフトーン・ピクセル40の電子等価回路図である。第1ITO層46は制御キャパシタ62、63、64、65の領域を規定する。層48は、キャパシタ絶縁体を表している。第2ITO層50は、サブピクセル42、43、44、45の領域を規定する。第1ITO層46は、制御キャパシタ領域を規定する他、サブピクセル42、43、44、45の間のスペースであるサブピクセル41の領域を規定する。斜線領域48は、バイアを表しかつサブピクセル41の直列制御キャパシタを除去するよう働く。ITO層46、50は絶縁層48により分離されているので、層46、50は図4aに示されているようにわずかに重なり合うことができる。したがって、この設計では、従来技術の設計のような、フォトリソグラフィック工程に起因する最小サブピクセル間隔についての制約はない。図4の制御キャパシタ・アレイの製造順序は次の通りである。1)第1ITO層46を被着し、パターン化し、エッチングし、2)制御キャパシタ絶縁体48を被着し、3)第2ITO層50を被着し、パターン化し、エッチングし、4)絶縁体48にバイアをパターン化しかつエッチングして、サブピクセル41を形成する。

【0009】ハーフトーン・ピクセル40のこの設計により、ピクセルは100パーセント光学的にアクティブになる。その結果、最大ピクセル・アバチャ比、輝度、コントラストを減少することなく制御キャパシタ方法を用いたハーフトーン・グレイスケールを実現することができる。図4aおよび4bのハーフトーン・ピクセル40設計の特徴は、直列な制御キャパシタを有していないサブピクセル41がサブピクセル領域間に位置するように、層46、48、50を配置したことである。図3、4a、4bは、5つのサブピクセルを有しているが、本発明ではサブピクセルをいくつ使用してもよい。全ピクセル40は光学的にアクティブであるので、サブピクセルを様々に配置するためのフレキシビリティと、目標の画像品質を実現するためのサブピクセル・ターン・オン・シーケンスが得られる。図5a、5b、5cは、ハーフトーン・ピクセル70の別のレイアウトを示している。図5aのピクセル70は、6つのサブピクセル71、72、73、74、75、76から成る。層78は、図5aおよび5bに示すようにサブピクセル71の

領域における小さいコンタクト・バイア80以外は、ピクセルにわたって連続している。この層78の連続性により、最大コントラストを得るため、小さいコンタクト・バイア領域80以外の全液晶セルすなわちピクセル70をグーチタリー(Gooch-Tarry)最小セル間隔に保持することができる。グーチおよびタリーは液晶セルの間隔に関して最適値を引き出し、その結果、最適なオフ状態と最大コントラストをもたらす。ITOの層81、82は図5aに示されている。サブピクセル71がサブピクセル間の領域に位置しかつその領域がITO層81により定められているように、層81、78、82はレイアウトされている。

【0010】図6a、6b、6cは、3つの同心サブピクセル91、92、93を有するハーフトーン・ピクセル90の配置を示している。図6cは、ピクセル90の電気的等価回路図である。層96は、小さいコンタクト・バイア領域100以外は、ピクセル90において連続している。ITO層94、98は、制御キャパシタとサブピクセルの領域をそれぞれ示している。図7a、7b、7cは別のハーフトーン・サブピクセルの配置を示している。図7aは、3つの同心サブピクセル101、102、103を有するハーフトーン・ピクセル104を示している。図7bは、ハーフトーン・ピクセル104の断面図である。図7cは、ピクセル104の電気的等価回路図である。この回路は結合キャパシタC106を含んでいる。結合キャパシタ106の役割は、制御キャパシタC2、C3の製造において使用される絶縁材料や厚さを選択する際のフレキシビリティを増すことである。

【0011】図8は、図5a-cに示された制御キャパシタ設計を用いているディスプレイの断面図である。制御キャパシタ・アレイ84は同じ基板88上にTFTアレイ86とともに製造されている。TFT86のドレイン電極は、アレイ84の制御キャパシタ領域を定めている第1ITO電極81に接続している。制御キャパシタ・アレイ84を有するアクティブ・マトリックス基板88を製造した後、普通の液晶ディスプレイ組立技術を用いて、アクティブ・マトリックス基板88と共通電極基板114の間に液晶112を挟むことにより、ディスプレイ装置110が製造される。

【0012】

【発明の効果】サブピクセルと制御キャパシタを有する本発明のハーフトーン・ピクセルにより、100パーセントの光学的アクティブ・ピクセルを構成することができる。また、本発明は、サブピクセルを持たないピクセルと同様に最大ピクセル・アバチャ比、輝度またはコントラストを低減することがない。さらに、本発明の全ピクセルは光学的にアクティブであるので、サブピクセルを様々な配置するためのフレキシビリティと、目標の画像品質を実現するためのサブピクセル・ターンオン・シーケンスが得られる。

【図面の簡単な説明】

【図1】従来技術によるハーフトーン・ピクセルの配置である。

【図2】従来技術のハーフトーン・ピクセルの配置および電気的等価回路図である。

【図3】本発明によるハーフトーン・ピクセルである。

【図4】本発明のハーフトーン・ピクセルの配置および電気的等価回路図である。

【図5】均一なセル間隔のハーフトーン・ピクセルの配置である。

【図6】3つの同心サブピクセルを有するハーフトーン・ピクセルの配置である。

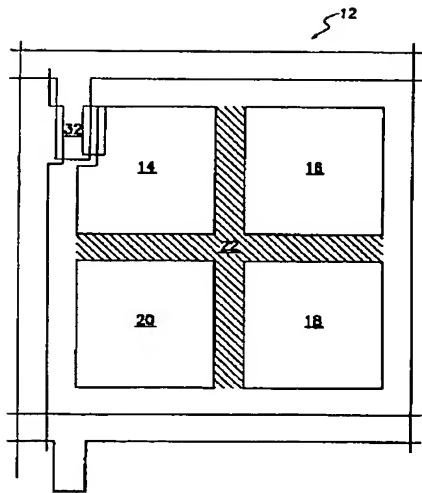
【図7】結合キャパシタを有する同心形ハーフトーン・ピクセルの配置である。

【図8】図5のディスプレイの断面図である。

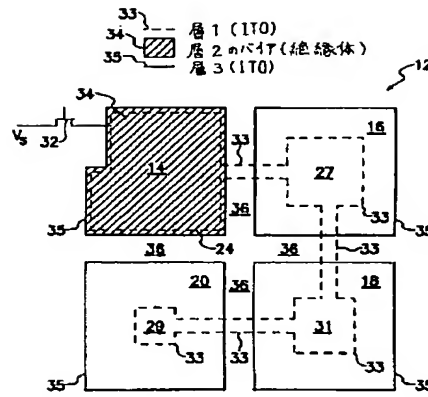
【符号の説明】

- 14、16、18、20 サブピクセル
- 27、29、31 制御キャパシタ
- 32 薄膜トランジスタ(TFT)
- 33 インジウムスズ酸化膜(ITO)
- 36 スペース
- 40、70、90、104 ハーフトーン・ピクセル
- 41、42、43、44、45 サブピクセル
- 46、50 ITO層
- 62、63、64、65 制御キャパシタ
- 71、72、73、74、75、76 サブピクセル
- 86 TFTアレイ
- 91、92、93 同心サブピクセル
- 101、102、103 同心サブピクセル
- 106 結合キャパシタ

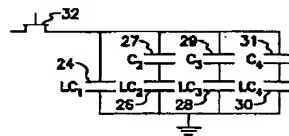
【図1】



【図2】

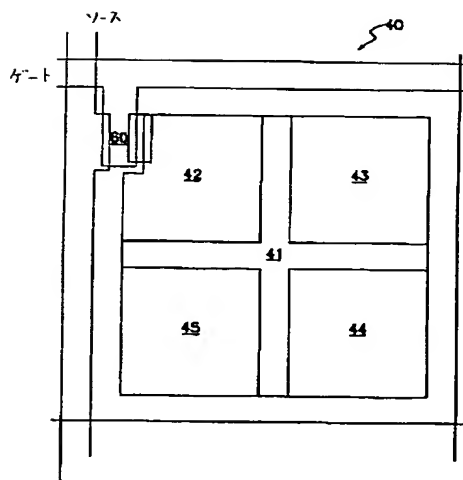


a

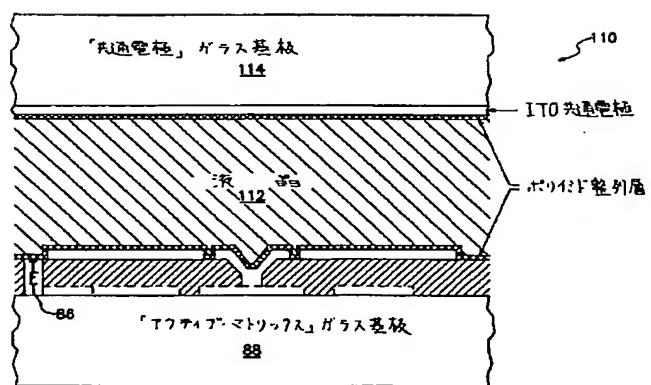


b

【図3】



【図8】

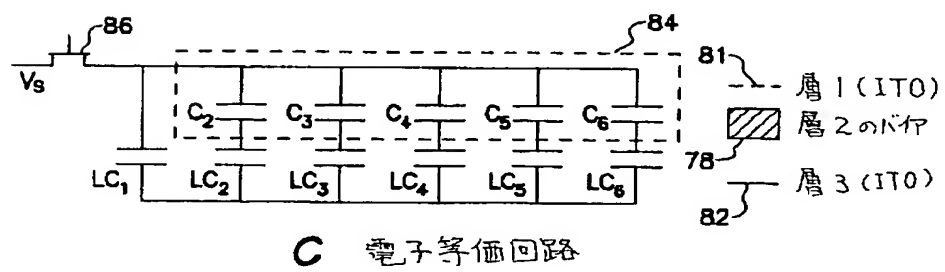


46  
48  
50

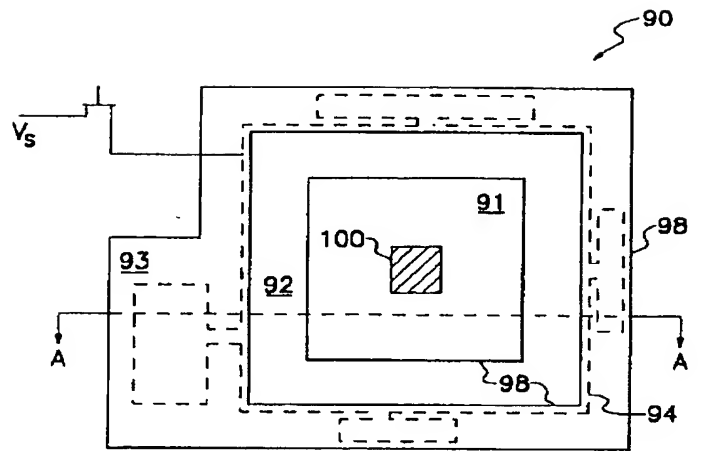
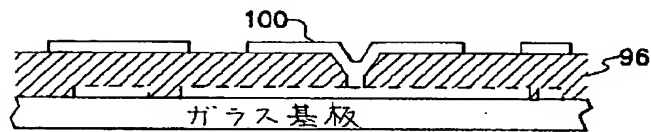
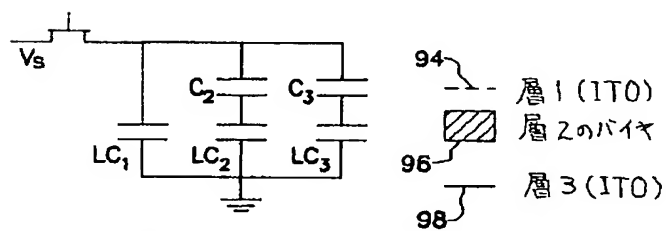
層1 (ITO)  
層2のバヤ (絶縁体)  
層3 (ITO)



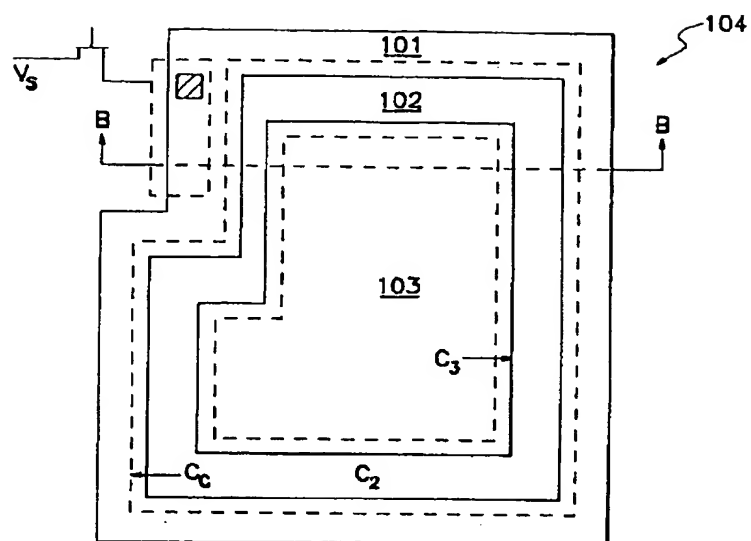




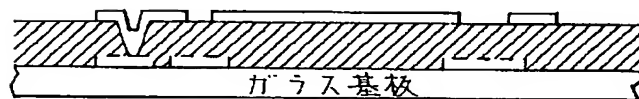
【図6】

*a**b* A-A断面電子等価回路 *c*

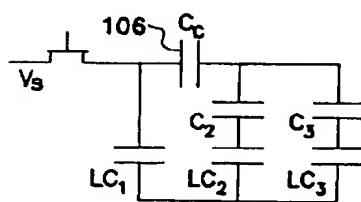
【図7】



a



b B-B断面



電子等価回路 c

- 層1(ITO)
- ▨ 層2のバイア
- 層3(ITO)